

明 細 書

ノーマルモードノイズ抑制回路

5 技術分野

本発明は、導電線によって伝送されるノーマルモードノイズを抑制するノーマルモードノイズ抑制回路に関する。

背景技術

- 10 スイッチング電源、インバータ、照明機器の点灯回路等のパワーエレクトロニクス機器は、電力の変換を行う電力変換回路を有している。電力変換回路は、直流を矩形波の交流に変換するスイッチング回路を有している。そのため、電力変換回路は、スイッチング回路のスイッチング周波数と等しい周波数のリップル電圧や、スイッチング回路のスイッチング動作に伴うノイズを発生させる。このリ
15 ップル電圧やノイズは他の機器に悪影響を与える。そのため、電力変換回路と他の機器あるいは線路との間には、リップル電圧やノイズを低減する手段を設ける必要がある。

- リップル電圧やノイズを低減する手段としては、インダクタンス素子（インダクタ）とキャパシタとを含むフィルタ、いわゆるLCフィルタがよく用いられて
20 いる。LCフィルタには、インダクタンス素子とキャパシタとを1つずつ有するものの他に、T型フィルタやπ型フィルタ等がある。また、電磁妨害（EMI）対策用の一般的なノイズフィルタも、LCフィルタの一種である。一般的なEMIフィルタは、コモンモードチョークコイル、ノーマルモードチョークコイル、Xキャパシタ、Yキャパシタ等のディスクリート素子を組み合わせて構成されて
25 いる。

また、最近、家庭内における通信ネットワークを構築する際に用いられる通信技術として電力線通信が有望視され、その開発が進められている。電力線通信は、電力線に高周波信号を重畳して通信を行う。この電力線通信では、電力線に接続された種々の電気・電子機器の動作によって、電力線上にノイズが発生し、この

ことが、エラーレートの増加等の通信品質の低下を招く。そのため、電力線上のノイズを低減する手段が必要になる。また、電力線通信では、屋内電力線上の通信信号が屋外電力線に漏洩することを阻止する必要がある。このような電力線上のノイズを低減したり、屋内電力線上の通信信号が屋外電力線に漏洩することを
5 阻止する手段としても、LCフィルタが用いられている。

なお、2本の導電線を伝搬するノイズには、2本の導電線の間で電位差を生じさせるノーマルモードノイズと、2本の導電線を同じ位相で伝搬するコモンモードノイズとがある。

日本特開平9-102723号公報には、変圧器を用いたラインフィルタが記
10 載されている。このラインフィルタは、変圧器とフィルタ回路とを備えている。変圧器の2次巻線は、交流電源から負荷に供給する電力を輸送する2本の導電線のうちの一方に挿入されている。フィルタ回路の2つの入力端は交流電源の両端に接続され、フィルタ回路の2つの出力端は変圧器の1次巻線の両端に接続されている。このラインフィルタでは、フィルタ回路によって電源電圧からノイズ成分を抽出し、このノイズ成分を変圧器の1次巻線に供給することによって、変圧
15 器の2次巻線が挿入された導電線上において電源電圧からノイズ成分を差し引くようになっている。このラインフィルタは、ノーマルモードのノイズを低減する。

従来のLCフィルタでは、インダクタンスおよびキャパシタンスで決まる固有の共振周波数を有するため、所望の減衰量を狭い周波数範囲でしか得ることがで
20 きないという問題点があった。

また、電力輸送用の導電線に挿入されるフィルタには、電力輸送用の電流が流れている状態で所望の特性が得られることと、温度上昇に対する対策が要求される。そのため、通常、電力変換回路用のフィルタにおけるインダクタンス素子では、磁芯として、ギャップ付きのフェライト磁芯が用いられる。しかしながら、
25 このようなインダクタンス素子では、その特性が、空芯のインダクタンス素子の特性に近づくため、所望の特性を実現するためにはインダクタンス素子が大型化するという問題点があった。

また、日本特開平9-102723号公報に記載されたラインフィルタでは、フィルタ回路のインピーダンスが0であると共に変圧器の結合係数が1であれば、

理論的には、ノイズ成分を完全に除去することができる。しかしながら、実際には、フィルタ回路のインピーダンスは、0になることはなく、更に、周波数に応じて変化する。特に、キャパシタによってフィルタ回路を構成した場合には、このキャパシタと変圧器の1次巻線とによって直列共振回路が構成される。そのため、このキャパシタと変圧器の1次巻線とを含む信号の経路のインピーダンスは、直列共振回路の共振周波数近傍の狭い周波数範囲でのみ小さくなる。その結果、このラインフィルタでは、狭い周波数範囲でしかノイズ成分を除去することができない。また、変圧器の結合係数は、実際には1よりも小さくなる。従って、変圧器の1次巻線に供給されたノイズ成分が、完全に電源電圧から差し引かれるわけではない。これらのことから、実際に構成されたラインフィルタでは、広い周波数範囲においてノイズ成分を効果的に除去することができないという問題点がある。

また、電力線通信のように、電力線に100dB μ V前後のノーマルモード信号を重畳して通信を行う場合、ノーマルモード信号が通信機器以外の電子機器に影響を与えることを防止するためには、高い減衰率を有するフィルタ回路の設置が不可欠である。

また、高調波対策回路を含む電源回路や、モータ駆動回路を含むインバータ制御機器や、位相制御を行う照明機器等が電力線に接続される場合には、スイッチング回路が直接、電力線に接続されるため、電力線において大きなノーマルモードノイズが発生する。従って、このような場合にも、高い減衰率を有するフィルタ回路の設置が不可欠である。

発明の開示

本発明の目的は、広い周波数範囲において高いノーマルモードノイズの減衰特性を有するノーマルモードノイズ抑制回路を提供することにある。

本発明のノーマルモードノイズ抑制回路は、第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路であって、ノーマルモードノイズを抑制する少なくとも1つのノイズ抑制部と、一端が第1の導電線に接続され、他端が第2の導電線に接続された少

なくとも1つのノイズ抑制用キャパシタとを備えている。

ノイズ抑制部は、互いに異なる位置において第1の導電線に接続され、それぞれノーマルモードノイズに対応する信号の検出またはノーマルモードノイズを抑制するための注入信号の注入を行う第1および第2の検出・注入部と、第1および第2の検出・注入部を、第1および第2の導電線とは異なる経路で接続し、注入信号を伝送する注入信号伝送路とを有している。

本発明のノーマルモードノイズ抑制回路において、第1の検出・注入部がノーマルモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される注入信号を第2の検出・注入部が第1の導電線に注入する。また、第2の検出・注入部がノーマルモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される注入信号を第1の検出・注入部が第1の導電線に注入する。

本発明のノーマルモードノイズ抑制回路は、1つのノイズ抑制部と、互いに異なる位置に配置された2つのノイズ抑制用キャパシタとを備え、ノイズ抑制部は、2つのノイズ抑制用キャパシタの間の位置に配置されていてもよい。

また、本発明のノーマルモードノイズ抑制回路は、互いに異なる位置に配置された2つのノイズ抑制部と、1つのノイズ抑制用キャパシタとを備え、ノイズ抑制用キャパシタは、2つのノイズ抑制部の間の位置に配置されていてもよい。

また、本発明のノーマルモードノイズ抑制回路は、互いに異なる位置に配置された2つのノイズ抑制部と、互いに異なる位置に配置された2つのノイズ抑制用キャパシタとを備え、ノイズ抑制部とノイズ抑制用キャパシタは交互に配置されていてもよい。

また、本発明のノーマルモードノイズ抑制回路において、第1の検出・注入部は、所定の第1の位置において第1の導電線に挿入された第1のインダクタンス素子と、第1のインダクタンス素子に結合された第2のインダクタンス素子とを有していてもよい。また、注入信号伝送路は、注入信号を通過させる検出・注入用キャパシタを含み、注入信号伝送路の一端は第1の位置とは異なる第2の位置において第1の導電線に接続され、注入信号伝送路の他端は第2の導電線に接続され、注入信号伝送路の途中に第2のインダクタンス素子が挿入され、注入信号

伝送路と第1の導電線との接続点が第2の検出・注入部を形成してもよい。この場合、ノイズ抑制部は、更に、第1の導電線において、第1の検出・注入部と第2の検出・注入部との間に設けられ、ノーマルモードノイズの波高値を低減する波高値低減部を有していてもよい。

- 5 また、本発明のノーマルモードノイズ抑制回路において、第1の検出・注入部は、所定の第1の位置において第1の導電線に挿入された第1のインダクタンス素子と、第1のインダクタンス素子に結合された第2のインダクタンス素子と、第1の位置に対応する位置において第2の導電線に挿入された第3のインダクタンス素子と、第3のインダクタンス素子に結合された第4のインダクタンス素子と、
- 10 とを有していてもよい。また、注入信号伝送路は、注入信号を通過させる検出・注入用キャパシタを含み、注入信号伝送路の一端は第1の位置とは異なる第2の位置において第1の導電線に接続され、注入信号伝送路の他端は第2の位置に対応する位置において第2の導電線に接続され、注入信号伝送路の途中に第2のインダクタンス素子と第4のインダクタンス素子が直列に挿入され、注入信号伝送
- 15 路と第1の導電線との接続点、および注入信号伝送路と第2の導電線との接続点が第2の検出・注入部を形成してもよい。この場合、ノイズ抑制部は、更に、第1の導電線および第2の導電線において、第1の検出・注入部と第2の検出・注入部との間に設けられ、ノーマルモードノイズの波高値を低減する波高値低減部を有していてもよい。
- 20 本発明のその他の目的、特徴および利益は、以下の説明を以って十分明白になるであろう。

図面の簡単な説明

- 第1図は、本発明の一実施の形態に係るノーマルモードノイズ抑制回路の構成
- 25 の第1の例を示す回路図である。

第2図は、本発明の一実施の形態に係るノーマルモードノイズ抑制回路の構成の第2の例を示す回路図である。

第3図は、本発明の一実施の形態に係るノーマルモードノイズ抑制回路の構成の第3の例を示す回路図である。

第4図は、本発明の一実施の形態に係るノーマルモードノイズ抑制回路の構成の第4の例を示す回路図である。

第5図は、相殺型ノイズ抑制回路の基本構成を示すブロック図である。

第6図は、相殺型ノイズ抑制回路の具体的な構成の第1の例を示す回路図である。

第7図は、相殺型ノイズ抑制回路の具体的な構成の第2の例を示す回路図である。

第8図は、相殺型ノイズ抑制回路の具体的な構成の第3の例を示す回路図である。

第9図は、相殺型ノイズ抑制回路の具体的な構成の第4の例を示す回路図である。

第10図は、相殺型ノイズ抑制回路の具体的な構成の第5の例を示す回路図である。

第11図は、相殺型ノイズ抑制回路の具体的な構成の第6の例を示す回路図である。

第12図は、相殺型ノイズ抑制回路の具体的な構成の第7の例を示す回路図である。

第13図は、相殺型ノイズ抑制回路の具体的な構成の第8の例を示す回路図である。

第14図は、本発明の一実施の形態に係るノーマルモードノイズ抑制回路の伝送特性の一例を示す特性図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を参照して詳細に説明する。始めに、
本発明の一実施の形態で使用するノイズ抑制技術について説明する。本実施の形態では、相殺型ノイズ抑制回路を使用する。第5図を参照して、この相殺型ノイズ抑制回路の基本構成と作用について説明する。

第5図に示したように、相殺型ノイズ抑制回路は、互いに異なる位置において導電線101に接続された2つの検出・注入部102、103と、2つの検出・

注入部 102, 103 を、導電線 101 とは異なる経路で接続する注入信号伝送路 104 と、導電線 101 において、検出・注入部 102, 103 の間に設けられた波高値低減部 105 とを備えている。

検出・注入部 102, 103 は、それぞれ、ノイズに対応する信号の検出またはノイズを抑制するための注入信号の注入を行う。注入信号伝送路 104 は、注入信号を伝送する。波高値低減部 105 は、ノイズの波高値を低減する。検出・注入部 102 は、例えばインダクタンス素子を含んでいる。注入信号伝送路 104 は、例えば、キャパシタからなるハイパスフィルタを含んでいる。また、波高値低減部 105 はインピーダンス素子、例えばインダクタンス素子を含んでいる。

10 第 5 図に示した相殺型ノイズ抑制回路において、ノイズの発生源が、位置 A と位置 B の間の位置を除いて、位置 A よりも位置 B に近い位置にある場合には、検出・注入部 103 は、位置 B において導電線 101 上のノイズに対応する信号を検出すると共に、この信号に基づいて、導電線 101 上のノイズを抑制するために導電線 101 に注入される注入信号を生成する。この注入信号は、注入信号伝送路 104 を経由して、検出・注入部 102 に送られる。検出・注入部 102 は、導電線 101 上のノイズに対して逆相になるように注入信号を導電線 101 に注入する。これにより、導電線 101 上のノイズが注入信号によって相殺され、導電線 101 において位置 A からノイズの進行方向の先でノイズが抑制される。なお、本出願において、ノイズとは不必要な信号も含んでいる。

15

20 また、第 5 図に示した相殺型ノイズ抑制回路において、ノイズの発生源が、位置 A と位置 B の間の位置を除いて、位置 B よりも位置 A に近い位置にある場合には、検出・注入部 102 は、位置 A において導電線 101 上のノイズに対応する信号を検出すると共に、この信号に基づいて、導電線 101 上のノイズを抑制するために導電線 101 に注入される注入信号を生成する。この注入信号は、注入信号伝送路 104 を経由して、検出・注入部 103 に送られる。検出・注入部 103 は、導電線 101 上のノイズに対して逆相になるように注入信号を導電線 101 に注入する。これにより、導電線 101 上のノイズが注入信号によって相殺され、導電線 101 において位置 B からノイズの進行方向の先でノイズが抑制される。

25

また、波高値低減部 105 は、位置 A と位置 B との間において、導電線 101 を通過するノイズの波高値を低減する。これにより、導電線 101 を経由して伝搬するノイズの波高値と、注入信号伝送路 104 を経由して導電線 101 に注入される注入信号の波高値との差が低減される。

- 5 相殺型ノイズ抑制回路によれば、広い周波数範囲においてノイズを効果的に抑制することが可能になる。

なお、相殺型ノイズ抑制回路は、波高値低減部 105 を除いて構成することも可能である。しかし、相殺型ノイズ抑制回路では、波高値低減部 105 を有しない場合に比べて、波高値低減部 105 を有する方が、より広い周波数範囲においてノイズを抑制することが可能になる。

次に、第 6 図ないし第 13 図を参照して、ノーマルモードノイズを抑制するための相殺型ノイズ抑制回路の具体的な構成の第 1 ないし第 8 の例について説明する。始めに、第 6 図、第 7 図を参照して、相殺型ノイズ抑制回路の具体的な構成の第 1 および第 2 の例について説明する。

- 15 第 6 図に示した第 1 の例の相殺型ノイズ抑制回路は、一対の端子 111a, 111b と、他の一対の端子 112a, 112b と、端子 111a, 112a 間を接続する導電線 113 と、端子 111b, 112b 間を接続する導電線 114 とを備えている。相殺型ノイズ抑制回路は、更に、所定の第 1 の位置 P1a において導電線 113 に挿入された巻線 115a と、磁芯 115c と、磁芯 115c を介して巻線 115a に結合された巻線 115b と、注入信号伝送路 119 とを備えている。注入信号伝送路 119 の一端は、第 1 の位置 P1a とは異なる位置、
20 具体的には、巻線 115a と端子 111a との間の第 2 の位置 P2a において導電線 113 に接続されている。注入信号伝送路 119 の他端は導電線 114 に接続されている。巻線 115b は、注入信号伝送路 119 の途中に挿入されている。
- 25 また、注入信号伝送路 119 の途中にはキャパシタ 116 が設けられている。キャパシタ 116 は、注入信号伝送路 119 と導電線 113 との接続点と、巻線 115b との間に配置されている。

第 6 図に示した相殺型ノイズ抑制回路において、巻線 115a, 115b および磁芯 115c は、第 5 図における検出・注入部 102 に対応する。また、巻線

1 1 5 a は本発明における第 1 のインダクタンス素子に対応し、巻線 1 1 5 b は本発明における第 2 のインダクタンス素子に対応する。また、注入信号伝送路 1 1 9 と導電線 1 1 3 との接続点は、第 5 図における検出・注入部 1 0 3 を形成する。また、注入信号伝送路 1 1 9 は、第 5 図における注入信号伝送路 1 0 4 に対応する。また、キャパシタ 1 1 6 は、本発明における検出・注入用キャパシタに
5 対応する。なお、第 6 図に示した相殺型ノイズ抑制回路は、第 5 図における波高値低減部 1 0 5 を有していない。

ここで、第 6 図に示した相殺型ノイズ抑制回路の作用について説明する。ノーマルモードノイズが端子 1 1 1 a, 1 1 1 b に入力された場合には、キャパシタ
10 1 1 6 によって、第 2 の位置 P 2 a におけるノーマルモードノイズに対応した信号が検出され、更に、この信号に基づいて、キャパシタ 1 1 6 によって、ノーマルモードノイズに対して逆相となる注入信号が生成される。この注入信号は、注入信号伝送路 1 1 9 を経由して、巻線 1 1 5 b に供給される。巻線 1 1 5 b は、巻線 1 1 5 a を介して、注入信号を導電線 1 1 3 に注入する。これにより、導電
15 線 1 1 3 において、第 1 の位置 P 1 a からノーマルモードノイズの進行方向の先でノーマルモードノイズが抑制される。

また、ノーマルモードノイズが端子 1 1 2 a, 1 1 2 b に入力された場合には、巻線 1 1 5 a を介して、巻線 1 1 5 b によって、第 1 の位置 P 1 a におけるノーマルモードノイズに対応した信号が検出され、更に、この信号に基づいて注入信
20 号が生成される。この注入信号は、キャパシタ 1 1 6 を経て、ノーマルモードノイズに対して逆相になるように導電線 1 1 3 に注入される。これにより、導電線 1 1 3 において、第 2 の位置 P 2 a からノーマルモードノイズの進行方向の先でノーマルモードノイズが抑制される。このように、第 6 図に示した相殺型ノイズ抑制回路のノイズ抑制効果は、ノイズの進行方向によって変わることはない。

25 第 7 図に示した第 2 の例の相殺型ノイズ抑制回路は、第 6 図に示した相殺型ノイズ抑制回路におけるキャパシタ 1 1 6 の代わりにキャパシタ 1 1 7 を備えている。キャパシタ 1 1 7 は、注入信号伝送路 1 1 9 と導電線 1 1 4 との接続点と、巻線 1 1 5 b との間において、注入信号伝送路 1 1 9 に挿入されている。第 7 図に示した相殺型ノイズ抑制回路の作用、効果は、第 6 図に示した相殺型ノイズ抑

制回路と同様である。このように、第 6 図、第 7 図に示した第 1 および第 2 の例の相殺型ノイズ抑制回路は、機能的には等価である。

次に、第 8 図、第 9 図を参照して、相殺型ノイズ抑制回路の具体的な構成の第 3 および第 4 の例について説明する。

- 5 第 8 図に示した第 3 の例の相殺型ノイズ抑制回路は、第 6 図に示した第 1 の例の相殺型ノイズ抑制回路にインダクタンス素子 118 を加えた構成になっている。インダクタンス素子 118 は、第 1 の位置 P1a と第 2 の位置 P2a との間において、導電線 113 に挿入されている。インダクタンス素子 118 は、第 5 図における波高値低減部 105 に対応する。
- 10 第 8 図に示した相殺型ノイズ抑制回路では、インダクタンス素子 118 によって、第 1 の位置 P1a と第 2 の位置 P2a との間において、導電線 113 を通過するノーマルモードノイズの波高値が低減される。これにより、導電線 113 を経由して伝搬するノーマルモードノイズの波高値と、注入信号伝送路 119 を経由して導電線 113 に注入される注入信号の波高値との差が低減される。第 8 図
- 15 に示した相殺型ノイズ抑制回路のその他の作用、効果は、第 6 図に示した相殺型ノイズ抑制回路と同様である。

- 第 9 図に示した第 4 の例の相殺型ノイズ抑制回路は、第 8 図に示した相殺型ノイズ抑制回路におけるキャパシタ 116 の代わりにキャパシタ 117 を備えている。キャパシタ 117 は、注入信号伝送路 119 と導電線 114 との接続点と、
- 20 巻線 115b との間において、注入信号伝送路 119 に挿入されている。第 9 図に示した相殺型ノイズ抑制回路の作用、効果は、第 8 図に示した相殺型ノイズ抑制回路と同様である。このように、第 8 図、第 9 図に示した第 3 および第 4 の例の相殺型ノイズ抑制回路は、機能的には等価である。

- 次に、第 10 図、第 11 図を参照して、相殺型ノイズ抑制回路の具体的な構成
- 25 の第 5 および第 6 の例について説明する。

第 10 図に示した第 5 の例の相殺型ノイズ抑制回路は、第 6 図に示した第 1 の例の相殺型ノイズ抑制回路に、巻線 121a, 121b および磁芯 121c を加えた構成になっている。第 5 の例において、巻線 121a は、第 1 の位置 P1a に対応する位置 P1b において、導電線 114 に挿入されている。巻線 121b

は、磁芯 1 2 1 c を介して巻線 1 2 1 a に結合されている。第 5 の例において、注入信号伝送路 1 1 9 の一端は第 2 の位置 P 2 a において導電線 1 1 3 に接続されている。注入信号伝送路 1 1 9 の他端は、第 2 の位置 P 2 a に対応する位置 P 2 b において導電線 1 1 4 に接続されている。注入信号伝送路 1 1 9 の途中には、
5 巻線 1 1 5 b と巻線 1 2 1 b が直列に挿入されている。キャパシタ 1 1 6 は、注入信号伝送路 1 1 9 と導電線 1 1 3 との接続点と、巻線 1 1 5 b との間において、注入信号伝送路 1 1 9 に挿入されている。なお、磁芯 1 1 5 c と磁芯 1 2 1 c は、同一の磁芯であってもよい。

第 10 図に示した相殺型ノイズ抑制回路において、巻線 1 1 5 a, 1 1 5 b、
10 磁芯 1 1 5 c、および巻線 1 2 1 a, 1 2 1 b、磁芯 1 2 1 c は、第 5 図における検出・注入部 1 0 2 に対応する。また、巻線 1 1 5 a は本発明における第 1 のインダクタンス素子に対応し、巻線 1 1 5 b は本発明における第 2 のインダクタンス素子に対応し、巻線 1 2 1 a は本発明における第 3 のインダクタンス素子に対応し、巻線 1 2 1 b は本発明における第 4 のインダクタンス素子に対応する。
15 また、注入信号伝送路 1 1 9 と導電線 1 1 3 との接続点、および注入信号伝送路 1 1 9 と導電線 1 1 4 との接続点は、第 5 図における検出・注入部 1 0 3 を形成する。また、注入信号伝送路 1 1 9 は、第 5 図における注入信号伝送路 1 0 4 に対応する。また、キャパシタ 1 1 6 は、本発明における検出・注入用キャパシタに対応する。なお、第 10 図に示した相殺型ノイズ抑制回路は、第 5 図における
20 波高値低減部 1 0 5 を有していない。

次に、第 10 図に示した相殺型ノイズ抑制回路の作用について説明する。ノーマルモードノイズが端子 1 1 1 a, 1 1 1 b に入力された場合には、キャパシタ 1 1 6 によって、位置 P 2 a, P 2 b におけるノーマルモードノイズに対応した信号が検出され、更に、この信号に基づいて、キャパシタ 1 1 6 によって、ノーマルモードノイズに対して逆相となる注入信号が生成される。この注入信号は、
25 注入信号伝送路 1 1 9 を経由して、巻線 1 1 5 b, 1 2 1 b に供給される。巻線 1 1 5 b, 1 2 1 b は、それぞれ、巻線 1 1 5 a, 1 2 1 a を介して、注入信号を導電線 1 1 3, 1 1 4 に注入する。なお、導電線 1 1 3 に注入される注入信号は導電線 1 1 3 を伝搬するノーマルモードノイズに対して逆相となり、導電線 1

1 4 に注入される注入信号は導電線 1 1 4 を伝搬するノーマルモードノイズに対して逆相となる。これにより、導電線 1 1 3, 1 1 4 において、位置 P 1 a, P 1 b からノーマルモードノイズの進行方向の先でノーマルモードノイズが抑制される。

- 5 また、ノーマルモードノイズが端子 1 1 2 a, 1 1 2 b に入力された場合には、巻線 1 1 5 a, 1 2 1 a を介して、巻線 1 1 5 b, 1 2 1 b によって、位置 P 1 a, P 1 b におけるノーマルモードノイズに対応した信号が検出され、更に、この信号に基づいて注入信号が生成される。この注入信号は、ノーマルモードノイズに対して逆相になるように導電線 1 1 3, 1 1 4 に注入される。これにより、
- 10 導電線 1 1 3, 1 1 4 において、位置 P 2 a, P 2 b からノーマルモードノイズの進行方向の先でノーマルモードノイズが抑制される。このように、第 1 0 図に示した相殺型ノイズ抑制回路のノイズ抑制効果は、ノイズの進行方向によって変わることはない。

- 15 また、第 1 0 図に示した相殺型ノイズ抑制回路は、導電線 1 1 3, 1 1 4 のインピーダンス特性が平衡になるように構成されている。そのため、この相殺型ノイズ抑制回路によれば、導電線 1 1 3, 1 1 4 からの放射電界強度の増加を抑制して、放射ノイズの発生を抑制することができる。

- 20 第 1 1 図に示した第 6 の例の相殺型ノイズ抑制回路は、第 1 0 図に示した相殺型ノイズ抑制回路におけるキャパシタ 1 1 6 の代わりにキャパシタ 1 1 7 を備えている。キャパシタ 1 1 7 は、巻線 1 1 5 b と巻線 1 2 1 b との間において、注入信号伝送路 1 1 9 に挿入されている。第 1 1 図に示した相殺型ノイズ抑制回路の作用、効果は、第 1 0 図に示した相殺型ノイズ抑制回路と同様である。このように、第 1 0 図、第 1 1 図に示した第 5 および第 6 の例の相殺型ノイズ抑制回路は、機能的には等価である。

- 25 次に、第 1 2 図、第 1 3 図を参照して、相殺型ノイズ抑制回路の具体的な構成の第 7 および第 8 の例について説明する。

第 1 2 図に示した第 7 の例の相殺型ノイズ抑制回路は、第 1 0 図に示した第 5 の例の相殺型ノイズ抑制回路にインダクタンス素子 1 1 8, 1 2 3 を加えた構成になっている。インダクタンス素子 1 1 8 は、第 1 の位置 P 1 a と第 2 の位置 P

2 a との間において、導電線 1 1 3 に挿入されている。インダクタンス素子 1 2 3 は、位置 P 1 b と位置 P 2 b との間において、導電線 1 1 4 に挿入されている。インダクタンス素子 1 1 8, 1 2 3 は、第 5 図における波高値低減部 1 0 5 に対応する。

5 第 1 2 図に示した相殺型ノイズ抑制回路では、インダクタンス素子 1 1 8 によって、位置 P 1 a と位置 P 2 a との間において、導電線 1 1 3 を通過するノーマルモードノイズの波高値が低減される。同様に、インダクタンス素子 1 2 3 によって、位置 P 1 b と位置 P 2 b との間において、導電線 1 1 4 を通過するノーマルモードノイズの波高値が低減される。これにより、導電線 1 1 3, 1 1 4 を経
10 由して伝搬するノーマルモードノイズの波高値と、注入信号伝送路 1 1 9 を經由して導電線 1 1 3, 1 1 4 に注入される注入信号の波高値との差が低減される。第 1 2 図に示した相殺型ノイズ抑制回路のその他の作用、効果は、第 1 0 図に示した相殺型ノイズ抑制回路と同様である。

第 1 3 図に示した第 8 の例の相殺型ノイズ抑制回路は、第 1 2 図に示した相殺
15 型ノイズ抑制回路におけるキャパシタ 1 1 6 の代わりにキャパシタ 1 1 7 を備えている。キャパシタ 1 1 7 は、巻線 1 1 5 b と巻線 1 2 2 b との間において、注入信号伝送路 1 1 9 に挿入されている。第 1 3 図に示した相殺型ノイズ抑制回路の作用、効果は、第 1 2 図に示した相殺型ノイズ抑制回路と同様である。このように、第 1 2 図、第 1 3 図に示した第 7 および第 8 の例の相殺型ノイズ抑制回路
20 は、機能的には等価である。

次に、第 1 図ないし第 4 図を参照して、本実施の形態に係るノーマルモードノイズ抑制回路（以下、単にノイズ抑制回路と記す。）について説明する。本実施の形態に係るノイズ抑制回路は、2 つの導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制する回路である。本実施
25 の形態に係るノイズ抑制回路は、少なくとも 1 つの相殺型ノイズ抑制回路と少なくとも 1 つのキャパシタとを用いて構成されている。以下、本実施の形態に係るノイズ抑制回路の構成の第 1 ないし第 4 の例について説明する。

第 1 図は、本実施の形態に係るノイズ抑制回路の構成の第 1 の例を示す回路図である。第 1 図に示したノイズ抑制回路は、一对の端子 1 a, 1 b と、他の一对

の端子 2 a, 2 b と、端子 1 a, 2 a 間を接続する第 1 の導電線 3 と、端子 1 b, 2 b 間を接続する第 2 の導電線 4 とを備えている。

ノイズ抑制回路は、更に、ノーマルモードノイズを抑制するノイズ抑制部 1 0 と、このノイズ抑制部 1 0 よりも端子 2 a, 2 b に近い位置において、一端が導電線 3 に接続され、他端が導電線 4 に接続されたキャパシタ 3 1 とを備えている。
5 なお、キャパシタ 3 1 は、ノイズ抑制部 1 0 よりも端子 1 a, 1 b に近い位置に配置してもよい。キャパシタ 3 1 は、本発明におけるノイズ抑制用キャパシタに対応する。

ノイズ抑制部 1 0 は、ノーマルモードノイズを抑制する相殺型ノイズ抑制回路
10 になっている。ノイズ抑制部 1 0 の構成は、第 6 図ないし第 1 3 図に示した相殺型ノイズ抑制回路のいずれでもよい。第 1 図には、ノイズ抑制部 1 0 の構成が、第 8 図に示した相殺型ノイズ抑制回路の構成になっている例を示している。

すなわち、第 1 図に示したノイズ抑制回路では、ノイズ抑制部 1 0 は、導電線 3 に挿入された巻線 1 5 a と、磁芯 1 5 c と、磁芯 1 5 c を介して巻線 1 5 a に結合された巻線 1 5 b と、注入信号伝送路 1 9 と、キャパシタ 1 6 と、インダクタンス素子 1 8 とを備えている。巻線 1 5 a, 1 5 b、磁芯 1 5 c、注入信号伝送路 1 9、キャパシタ 1 6 およびインダクタンス素子 1 8 は、それぞれ、第 8 図における巻線 1 1 5 a, 1 1 5 b、磁芯 1 1 5 c、注入信号伝送路 1 1 9、キャパシタ 1 1 6 およびインダクタンス素子 1 1 8 に対応している。
15

第 2 図は、本実施の形態に係るノイズ抑制回路の構成の第 2 の例を示す回路図である。第 2 図に示したノイズ抑制回路は、ノイズ抑制部 1 0 と、キャパシタ 3 2 と、キャパシタ 3 3 とを備えている。キャパシタ 3 2 は、ノイズ抑制部 1 0 よりも端子 1 a, 1 b に近い位置において、一端が導電線 3 に接続され、他端が導電線 4 に接続されている。キャパシタ 3 3 は、ノイズ抑制部 1 0 よりも端子 2 a, 2 b に近い位置において、一端が導電線 3 に接続され、他端が導電線 4 に接続されている。ノイズ抑制部 1 0 は、キャパシタ 3 2, 3 3 の間の位置に設けられている。ノイズ抑制部 1 0 の構成は、第 6 図ないし第 1 3 図に示した相殺型ノイズ抑制回路のいずれでもよい。第 2 図には、ノイズ抑制部 1 0 の構成が、第 1 図に示したノイズ抑制回路と同様に、第 8 図に示した相殺型ノイズ抑制回路の構成に
20 25

なっている例を示している。

第2図に示したノイズ抑制回路では、1つのノイズ抑制部10と2つのキャパシタ32, 33とで π 型フィルタ回路が構成されている。

第3図は、本実施の形態に係るノイズ抑制回路の構成の第3の例を示す回路図である。第3図に示したノイズ抑制回路は、導電線3, 4において、互いに異なる位置に設けられ、それぞれ、ノーマルモードノイズを抑制する第1のノイズ抑制部10および第2のノイズ抑制部20と、このノイズ抑制部10, 20の間の位置において、一端が導電線3に接続され、他端が導電線4に接続されたキャパシタ34とを備えている。ノイズ抑制部10は、キャパシタ34よりも端子1a, 1bに近い位置に設けられ、ノイズ抑制部20は、キャパシタ34よりも端子2a, 2bに近い位置に設けられている。

ノイズ抑制部20は、ノイズ抑制部10と同様に、ノーマルモードノイズを抑制する相殺型ノイズ抑制回路になっている。ノイズ抑制部10, 20の構成は、第6図ないし第13図に示した相殺型ノイズ抑制回路のいずれでもよい。ノイズ抑制部10, 20の構成は、同じであってもよいし、異なってもよい。第3図には、ノイズ抑制部10, 20の構成が、共に第8図に示した相殺型ノイズ抑制回路の構成になっている例を示している。

すなわち、第3図に示したノイズ抑制回路では、ノイズ抑制部20は、導電線3に挿入された巻線25aと、磁芯25cと、磁芯25cを介して巻線25aに結合された巻線25bと、注入信号伝送路29と、キャパシタ26と、インダクタンス素子28とを備えている。巻線25a, 25b、磁芯25c、注入信号伝送路29、キャパシタ26およびインダクタンス素子28は、それぞれ、第8図における巻線115a, 115b、磁芯115c、注入信号伝送路119、キャパシタ116およびインダクタンス素子118に対応している。第3図に示したノイズ抑制回路におけるノイズ抑制部10の構成は、第1図におけるノイズ抑制部10と同様である。

第3図に示したノイズ抑制回路では、2つのノイズ抑制部10, 20と1つのキャパシタ34とでT型フィルタ回路が構成されている。

第4図は、本実施の形態に係るノイズ抑制回路の構成の第4の例を示す回路図

である。第4図に示したノイズ抑制回路は、ノイズ抑制部10、20と、キャパシタ35、36とを備えている。キャパシタ35は、ノイズ抑制部10、20の間の位置において、一端が導電線3に接続され、他端が導電線4に接続されている。キャパシタ36は、ノイズ抑制部20よりも端子2a、2bに近い位置において、一端が導電線3に接続され、他端が導電線4に接続されている。ノイズ抑制部10は、キャパシタ35よりも端子1a、1bに近い位置に設けられ、ノイズ抑制部20は、キャパシタ35とキャパシタ36との間の位置に設けられている。このように、第4図に示したノイズ抑制回路では、ノイズ抑制部とキャパシタは交互に配置されている。なお、キャパシタ36は、ノイズ抑制部10よりも端子1a、1bに近い位置に配置してもよい。

ノイズ抑制部10、20の構成は、第6図ないし第13図に示した相殺型ノイズ抑制回路のいずれでもよい。ノイズ抑制部10、20の構成は、同じであってもよいし、異なってもよい。第4図には、ノイズ抑制部10、20の構成が、共に第8図に示した相殺型ノイズ抑制回路の構成になっている例を示している。

すなわち、第4図に示したノイズ抑制回路におけるノイズ抑制部10、20の構成は、第3図におけるノイズ抑制部10、20と同様である。

第4図に示したノイズ抑制回路では、2つのノイズ抑制部10、20と2つのキャパシタ35、36とで、 π 型フィルタ回路とT型フィルタ回路とを複合した形のフィルタ回路が構成されている。

第1図ないし第4図に示したような本実施の形態に係るノイズ抑制回路によれば、相殺型ノイズ抑制回路のみを用いる場合に比べて、広い周波数範囲において高いノーマルモードノイズの減衰特性を得ることができる。このことを、以下のシミュレーションの結果を参照して説明する。

このシミュレーションでは、第1図ないし第4図に示した各ノイズ抑制回路と、第8図に示した相殺型ノイズ抑制回路とについて伝送特性を求めた。なお、伝送特性としては、ゲインの周波数特性を求めた。

このシミュレーションでは、以下の数値を使用した。巻線15a、15b、25a、25b、115a、115bのインダクタンスは、全て30 μ Hとし、インダクタンス素子18、28、118のインダクタンスも30 μ Hとした。また、

キャパシタ 16, 26, 31~36, 116 のキャパシタンスは、全て $0.1 \mu\text{F}$ とした。

上述のシミュレーションによって求めた伝送特性を第 14 図に示す。第 14 図において、符号 41 で示した線は、第 8 図に示した相殺型ノイズ抑制回路のノーマルモードノイズに対する伝送特性を表している。符号 42 で示した線は、第 1 図に示したノイズ抑制回路のノーマルモードノイズに対する伝送特性を表している。符号 43 で示した線は、第 2 図に示したノイズ抑制回路のノーマルモードノイズに対する伝送特性を表している。符号 44 で示した線は、第 3 図に示したノイズ抑制回路のノーマルモードノイズに対する伝送特性を表している。符号 45 で示した線は、第 4 図に示したノイズ抑制回路のノーマルモードノイズに対する伝送特性を表している。

第 14 図から、第 1 図ないし第 4 図に示した各ノイズ抑制回路によれば、第 8 図に示した相殺型ノイズ抑制回路に比べて、広い周波数範囲において高いノーマルモードノイズの減衰特性を得ることができることが分かる。また、第 14 図から、第 1 図ないし第 4 図に示した各ノイズ抑制回路の中で、ノーマルモードノイズの減衰特性を比較すると、第 1 図に示したノイズ抑制回路よりも第 2 図に示したノイズ抑制回路の方が高く、第 2 図に示したノイズ抑制回路よりも第 3 図に示したノイズ抑制回路の方が高く、第 3 図に示したノイズ抑制回路よりも第 4 図に示したノイズ抑制回路の方が高いことが分かる。

ここで、第 1 図ないし第 4 図に示した各ノイズ抑制回路において、ノイズ抑制部 10, 20 の構成を第 12 図に示した相殺型ノイズ抑制回路の構成とした場合における各ノイズ抑制回路の伝送特性について考える。この場合、第 12 図における巻線 115a、115b と巻線 121a、121b とのインダクタンスの和を、第 8 図における巻線 15a、15b のインダクタンスと等しくし、第 12 図におけるインダクタンス素子 118、128 のインダクタンスの和を、第 8 図におけるインダクタンス素子 118 のインダクタンスと等しくすれば、各ノイズ抑制回路の伝送特性は第 14 図において符号 42 から 45 で示した特性と同じになる。

以上説明したように、本実施の形態によれば、少なくとも 1 つの相殺型ノイズ

抑制回路と少なくとも1つのキャパシタとを用いてノイズ抑制回路を構成することにより、広い周波数範囲において高いノーマルモードノイズの減衰特性を有するノイズ抑制回路を実現することができる。

また、本実施の形態に係るノイズ抑制回路は、比較的簡単な構成で、効果的に
5 ノーマルモードノイズを抑制することができる。そのため、本実施の形態によれば、ノイズ抑制回路の小型化が可能になる。

本実施の形態に係るノイズ抑制回路は、電力変換回路が発生するリップル電圧やノイズを低減する手段や、電力線通信において電力線上のノイズを低減したり、
10 屋内電力線上の通信信号が屋外電力線に漏洩することを防止する手段として利用できる。

なお、本発明は上記実施の形態に限定されず、種々の変更が可能である。例えば、ノイズ抑制部10、20として使用する相殺型ノイズ抑制回路は、第6図ないし第13図に示した各相殺型ノイズ抑制回路に対して左右対称な構成の回路であってもよい。また、ノイズ抑制部10、20として使用する相殺型ノイズ抑制
15 回路は、2つの検出・注入部と注入信号伝送路とを有する構成であればよく、実施の形態で示した構成以外にも、種々の設計が可能である。

以上説明したように、本発明によれば、広い周波数範囲において高いノーマルモードノイズの減衰特性を有するノーマルモードノイズ抑制回路を実現することができる。

20 以上の説明に基づき、本発明の種々の態様や変形例を実施可能であることは明らかである。従って、以下の請求の範囲の均等の範囲において、上記の最良の形態以外の形態でも本発明を実施することが可能である。

請求の範囲

1. 第1および第2の導電線によって伝送され、これらの導電線の間で電位差を生じさせるノーマルモードノイズを抑制するノーマルモードノイズ抑制回路であって、

ノーマルモードノイズを抑制する少なくとも1つのノイズ抑制部と、

一端が第1の導電線に接続され、他端が第2の導電線に接続された少なくとも1つのノイズ抑制用キャパシタとを備え、

前記ノイズ抑制部は、互いに異なる位置において第1の導電線に接続され、それぞれノーマルモードノイズに対応する信号の検出またはノーマルモードノイズを抑制するための注入信号の注入を行う第1および第2の検出・注入部と、前記第1および第2の検出・注入部を、第1および第2の導電線とは異なる経路で接続し、前記注入信号を伝送する注入信号伝送路とを有し、

前記第1の検出・注入部がノーマルモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第2の検出・注入部が第1の導電線に注入し、

前記第2の検出・注入部がノーマルモードノイズに対応する信号の検出を行うときは、この検出された信号に基づいて生成される前記注入信号を前記第1の検出・注入部が第1の導電線に注入することを特徴とするノーマルモードノイズ抑制回路。

2. 1つの前記ノイズ抑制部と、互いに異なる位置に配置された2つの前記ノイズ抑制用キャパシタとを備え、前記ノイズ抑制部は、2つの前記ノイズ抑制用キャパシタの間の位置に配置されていることを特徴とする請求の範囲第1項記載のノーマルモードノイズ抑制回路。

3. 互いに異なる位置に配置された2つの前記ノイズ抑制部と、1つの前記ノイズ抑制用キャパシタとを備え、前記ノイズ抑制用キャパシタは、2つの前記ノイズ抑制部の間の位置に配置されていることを特徴とする請求の範囲第1項記載のノーマルモードノイズ抑制回路。

4. 互いに異なる位置に配置された2つの前記ノイズ抑制部と、互いに異なる

位置に配置された２つの前記ノイズ抑制用キャパシタとを備え、前記ノイズ抑制部と前記ノイズ抑制用キャパシタは交互に配置されていることを特徴とする請求の範囲第１項記載のノーマルモードノイズ抑制回路。

- ５．前記第１の検出・注入部は、所定の第１の位置において前記第１の導電線
5 に挿入された第１のインダクタンス素子と、前記第１のインダクタンス素子に結合された第２のインダクタンス素子とを有し、

前記注入信号伝送路は、前記注入信号を通過させる検出・注入用キャパシタを含み、前記注入信号伝送路の一端は前記第１の位置とは異なる第２の位置において前記第１の導電線に接続され、前記注入信号伝送路の他端は前記第２の導電線
10 に接続され、前記注入信号伝送路の途中に前記第２のインダクタンス素子が挿入され、前記注入信号伝送路と第１の導電線との接続点が前記第２の検出・注入部を形成することを特徴とする請求の範囲第１項記載のノーマルモードノイズ抑制回路。

- ６．前記ノイズ抑制部は、更に、前記第１の導電線において、前記第１の検出・
15 注入部と第２の検出・注入部との間に設けられ、前記ノーマルモードノイズの波高値を低減する波高値低減部を有することを特徴とする請求の範囲第５項記載のノーマルモードノイズ抑制回路。

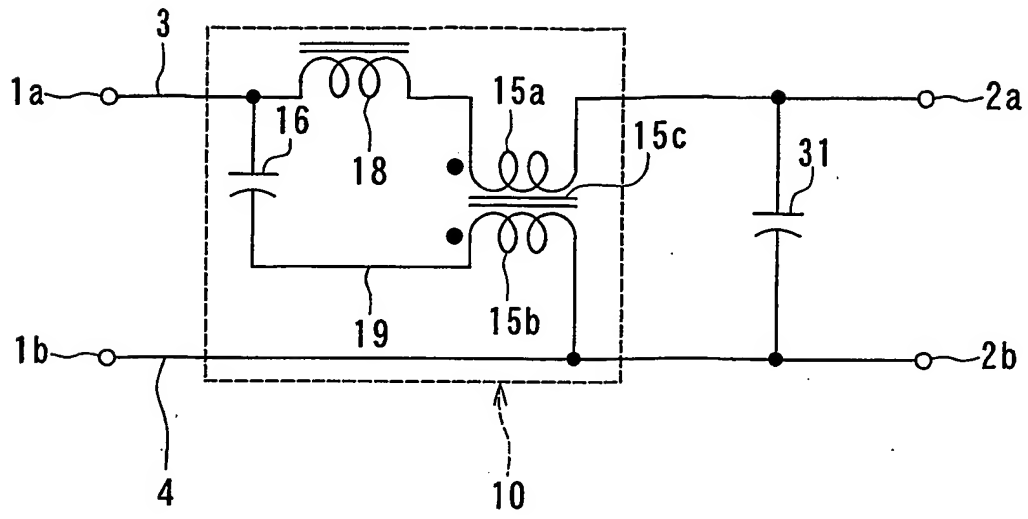
- ７．前記第１の検出・注入部は、所定の第１の位置において前記第１の導電線に挿入された第１のインダクタンス素子と、前記第１のインダクタンス素子に結合された第２のインダクタンス素子と、前記第１の位置に対応する位置において
20 前記第２の導電線に挿入された第３のインダクタンス素子と、前記第３のインダクタンス素子に結合された第４のインダクタンス素子とを有し、

前記注入信号伝送路は、前記注入信号を通過させる検出・注入用キャパシタを含み、前記注入信号伝送路の一端は前記第１の位置とは異なる第２の位置において前記第１の導電線に接続され、前記注入信号伝送路の他端は前記第２の位置に対応する位置において前記第２の導電線に接続され、前記注入信号伝送路の途中に前記第２のインダクタンス素子と第４のインダクタンス素子が直列に挿入され、前記注入信号伝送路と第１の導電線との接続点、および前記注入信号伝送路と第
25 ２の導電線との接続点が前記第２の検出・注入部を形成することを特徴とする請

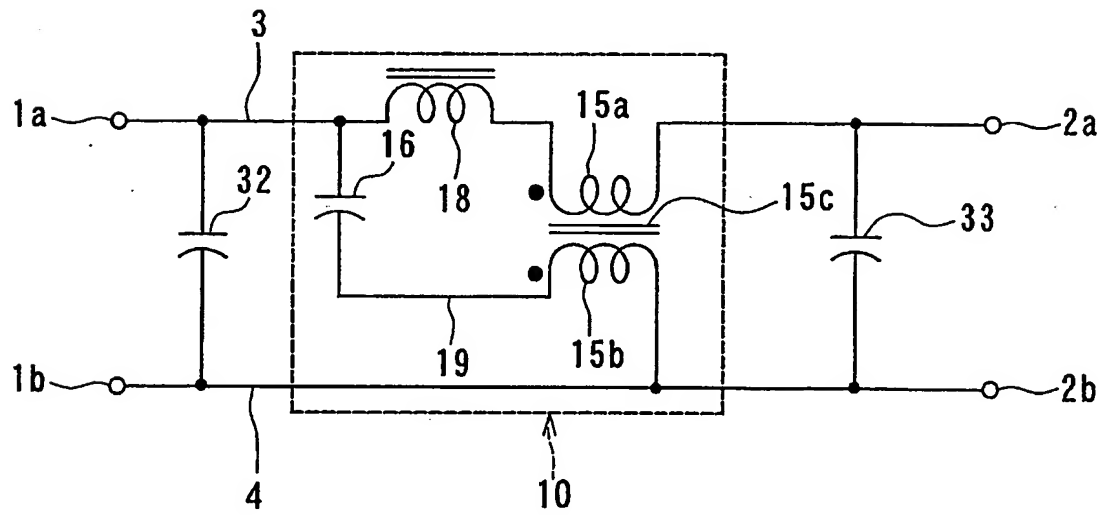
求の範囲第 1 項記載のノーマルモードノイズ抑制回路。

8. 前記ノイズ抑制部は、更に、前記第 1 の導電線および第 2 の導電線において、前記第 1 の検出・注入部と第 2 の検出・注入部との間に設けられ、前記ノーマルモードノイズの波高値を低減する波高値低減部を有することを特徴とする請

5 求の範囲第 7 項記載のノーマルモードノイズ抑制回路。

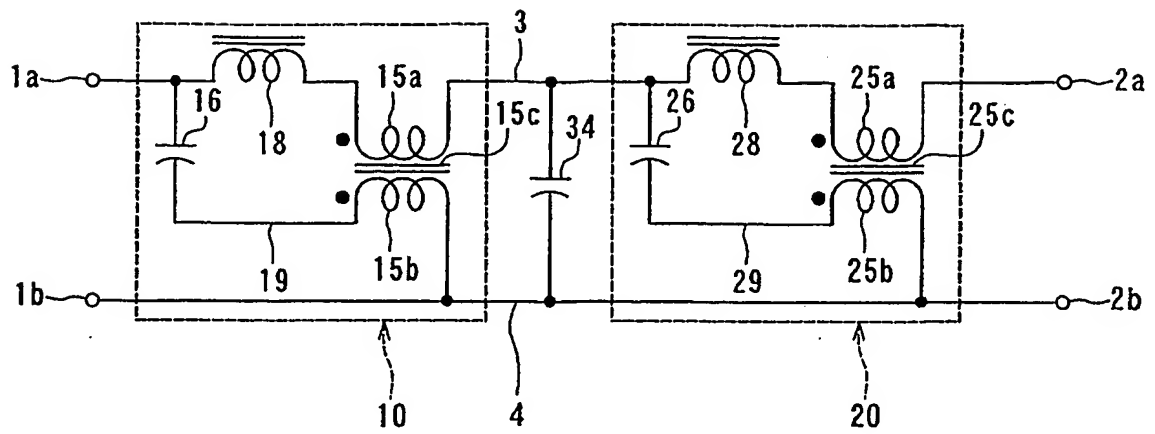


第1図

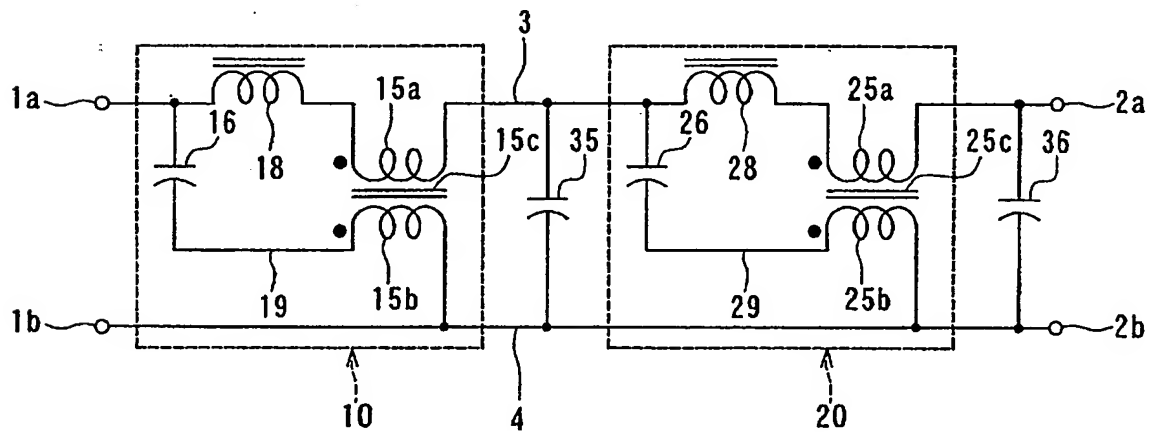


第2図

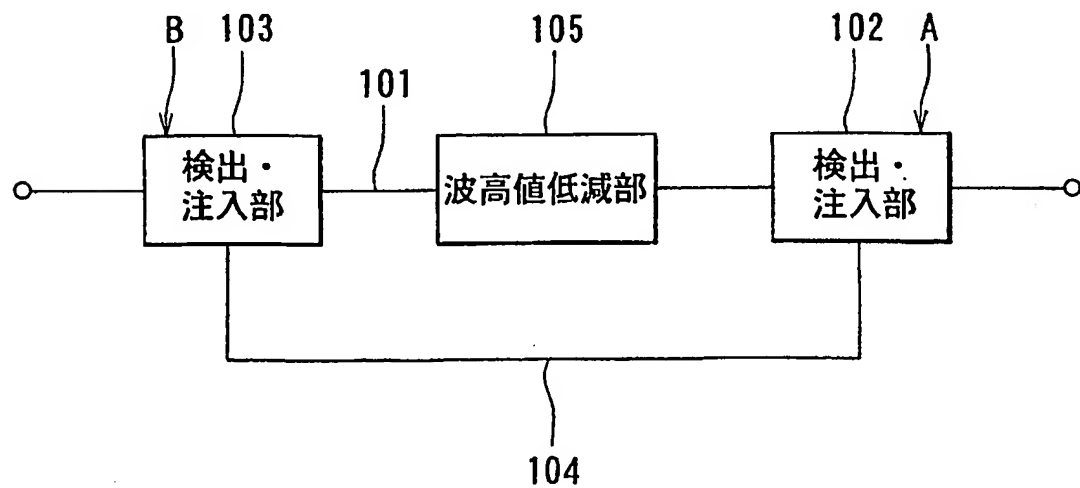
2/7



第3図

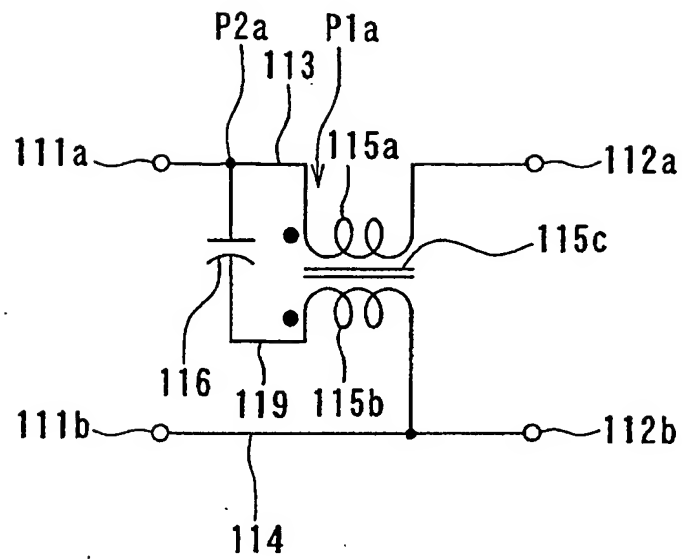


第4図

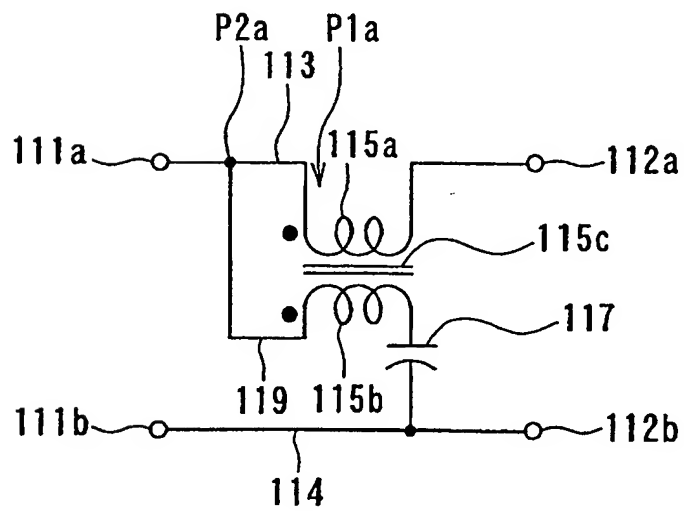


第5図

3/7

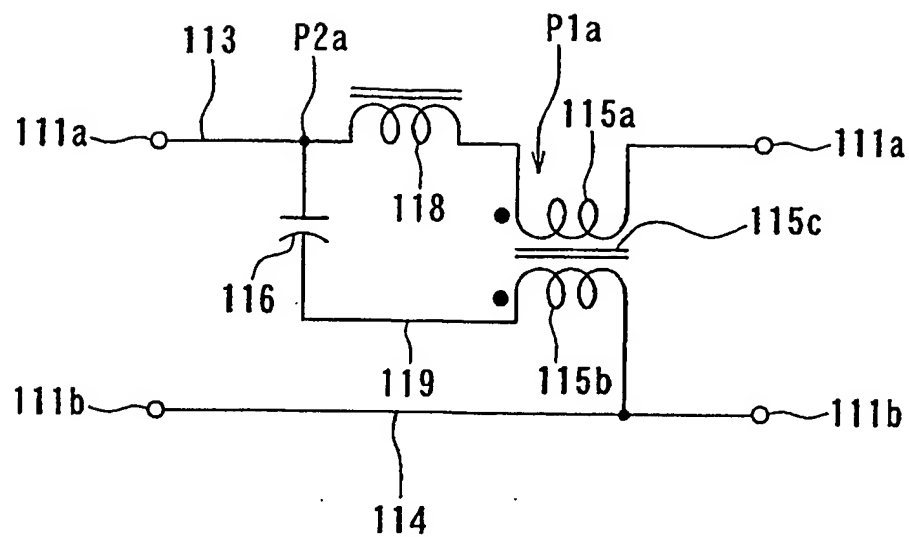


第6図

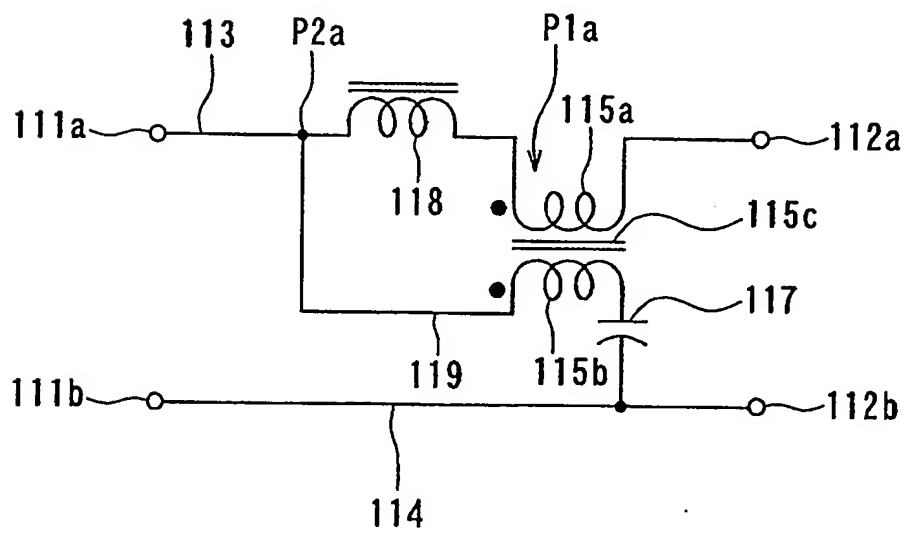


第7図

4/7

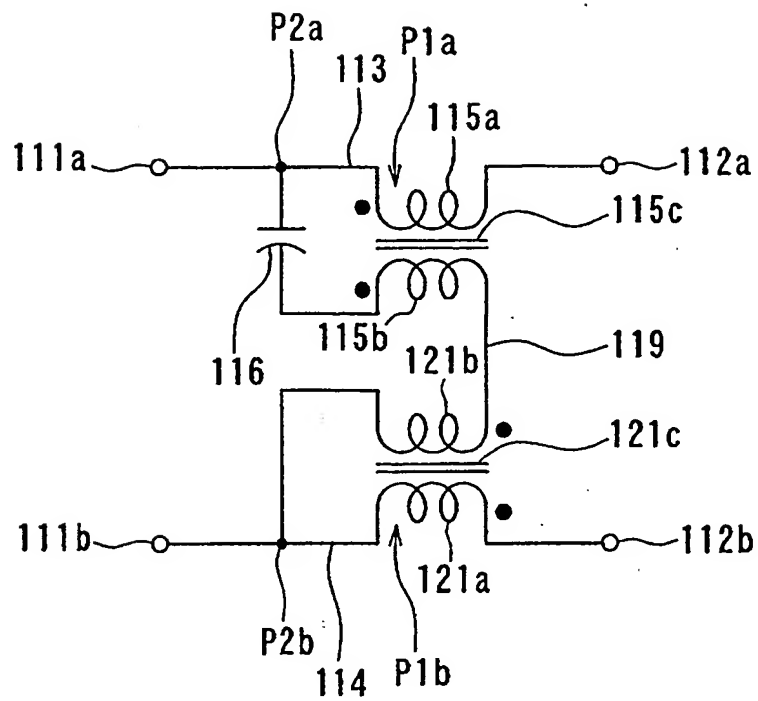


第8図

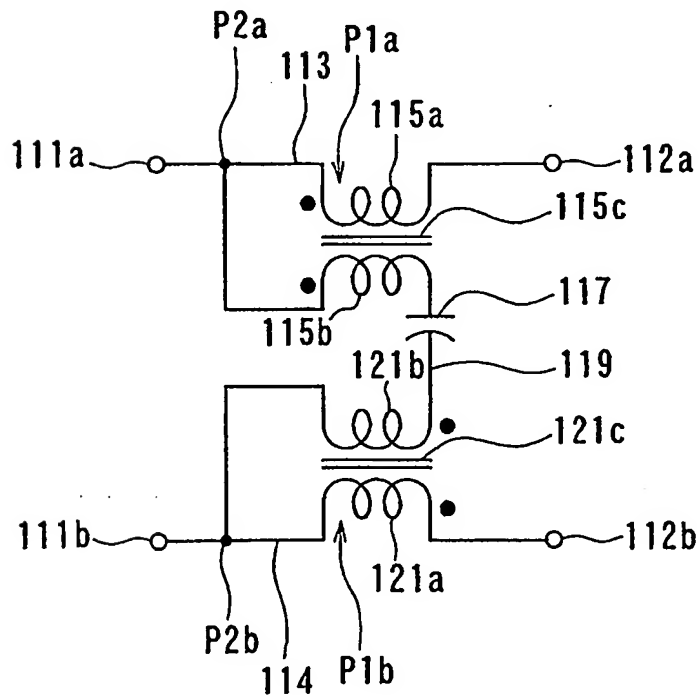


第9図

5/7

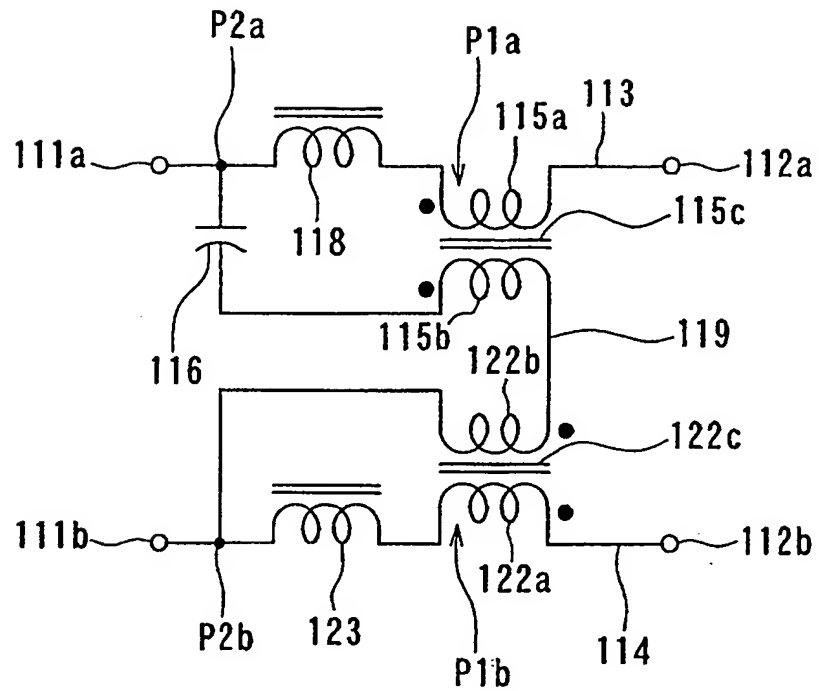


第10図

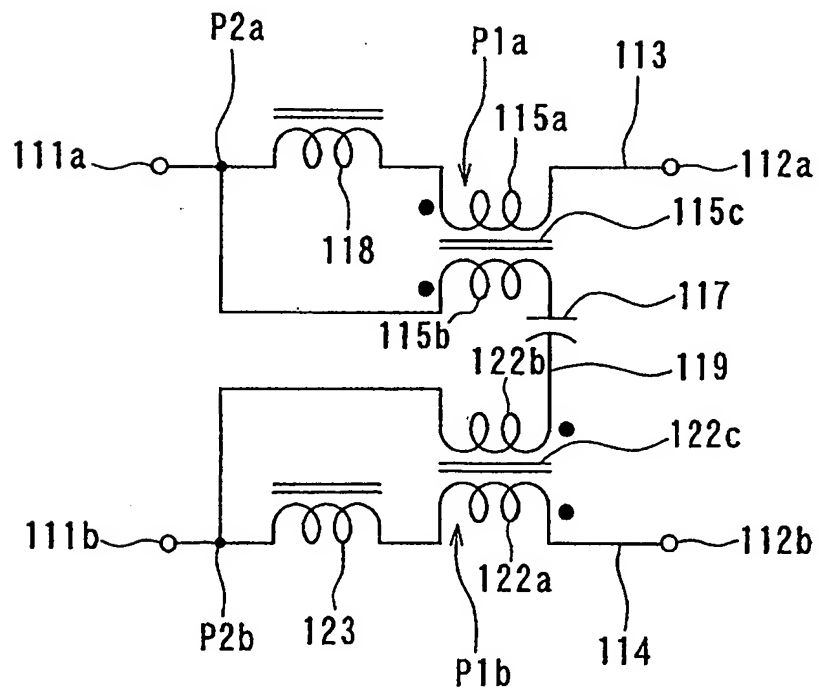


第11図

6/7

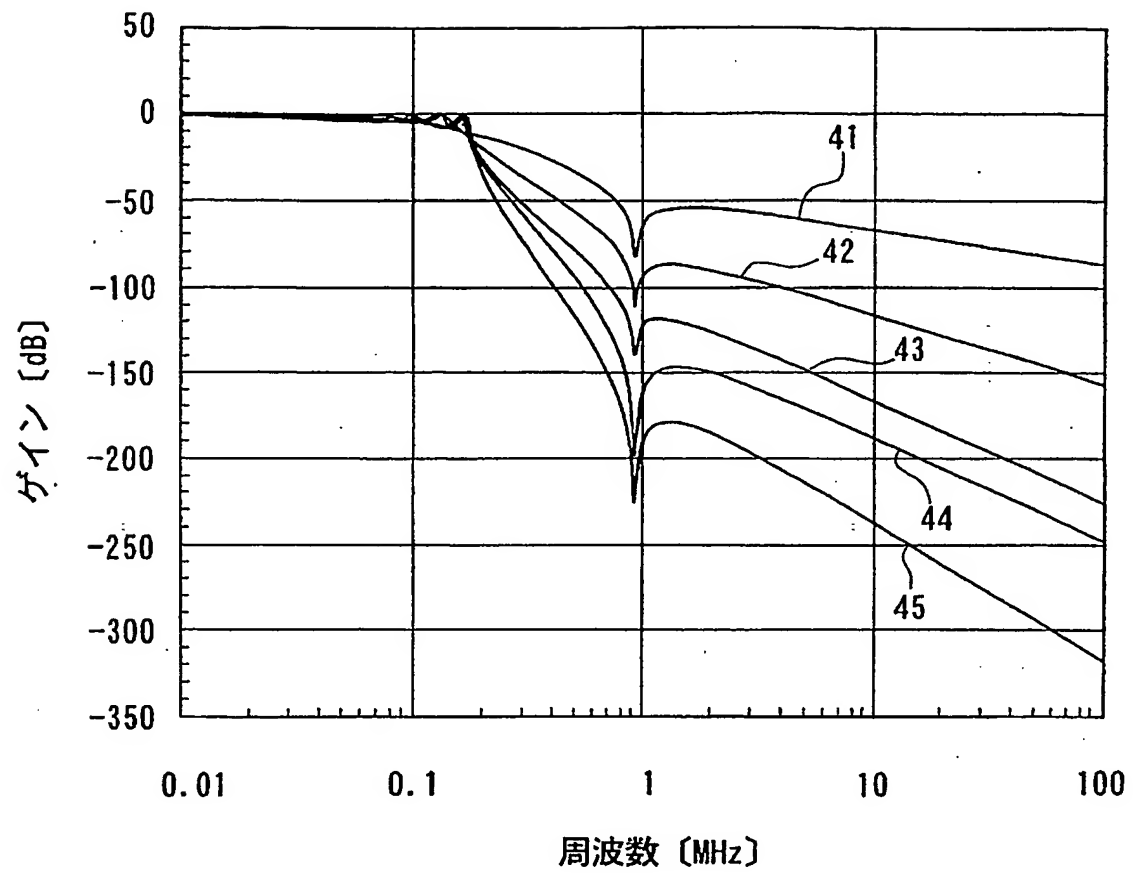


第12図



第13図

7/7



第14図

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005883

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03H7/09

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03H7/09

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI/L

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-204189 A (TDK Corp.), 19 July, 2002 (19.07.02), Full text; all drawings & WO 2002/37674 A1 & US 2002/0063474 A1 & KR 2002065618 A & EP 1271773 A1 & CN 1394387 A & TW 516270 A	1-8
Y	JP 57-8247 Y2 (Oki Engineering Co., Ltd.), 17 February, 1982 (17.02.82), Full text; all drawings & US 4371682 A	1-8
Y	JP 3-186007 A (Toshiba Corp.), 14 August, 1991 (14.08.91), Fig. 1 & DE 4039874 A & US 5179362 A	3, 4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 July, 2004 (21.07.04)

Date of mailing of the international search report

10 August, 2004 (10.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005883

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-241233 A (Thermo King Corp.), 25 September, 1990 (25.09.90), Fig. 3 & US 4903006 A & DE 4003653 A & FR 2643199 A & DK 9000401 A	5-8
Y	JP 2-206360 A (Sony Corp.), 16 August, 1990 (16.08.90), Figs. 1 to 3 (Family: none)	7, 8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H03H7/09

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H03H7/09

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
WPI/L

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-204189 A (ティーディーケイ株式会社) 2002. 07. 19, 全文, 全図 & WO 2002/37674 A1 & US 2002/0063474 A1 & KR 2002065618 A & EP 1271773 A1 & CN 1394387 A & TW 516270 A	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

21. 07. 2004

国際調査報告の発送日

10.8.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 正明

5W

4241

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 57-8247 Y2 (沖エンジニアリング株式会社) 1982. 02. 17, 全文, 全図 & US 4371682 A	1-8
Y	JP 3-186007 A (株式会社東芝) 1991. 08. 14, 第1図 & DE 4039874 A & US 5179362 A	3, 4
Y	JP 2-241233 A (サーモン・キング・コーポレーション) 1990. 09. 25, 第3図 & US 4903006 A & DE 4003653 A & FR 2643199 A & DK 9000401 A	5-8
Y	JP 2-206360 A (ソニー株式会社) 1990. 08. 16, 第1~3図 (ファミリーなし)	7, 8

PATENT COOPERATION TREATY

From the
INTERNATIONAL SEARCHING AUTHORITY

PCT

Translation

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

(PCT Rule 43bis.1)

To:

Date of mailing
(day/month/year)

Applicant's or agent's file reference
T2004-009

FOR FURTHER ACTION

See paragraph 2 below

International application No.

PCT/JP2004/005883

International filing date (day/month/year)

23.04.2004

Priority date (day/month/year)

24.04.2003

International Patent Classification (IPC) or both national classification and IPC

Applicant

TDK CORPORATION

1. This opinion contains indications relating to the following items:

- ☒ Box No. I Basis of the opinion
- ☐ Box No. II Priority
- ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- ☐ Box No. IV Lack of unity of invention
- ☒ Box No. V Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- ☐ Box No. VI Certain documents cited
- ☐ Box No. VII Certain defects in the international application
- ☐ Box No. VIII Certain observations on the international application

2. **FURTHER ACTION**

If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1bis(b) that written opinions of this International Searching Authority will not be so considered.

If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later.

For further options, see Form PCT/ISA/220.

3. For further details, see notes to Form PCT/ISA/220.

Name and mailing address of the ISA/JP

Authorized officer

Facsimile No.

Telephone No.

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2004/005883

Box No. I Basis of this opinion

1. With regard to the language, this opinion has been established on the basis of the international application in the language in which it was filed, unless otherwise indicated under this item.

☐ This opinion has been established on the basis of a translation from the original language into the following language _____, which is the language of a translation furnished for the purposes of international search (under Rule 12.3 and 23.1(b)).

2. With regard to any nucleotide and/or amino acid sequence disclosed in the international application and necessary to the claimed invention, this opinion has been established on the basis of:

a. type of material

☐ a sequence listing

☐ table(s) related to the sequence listing

b. format of material

☐ in written format

☐ in computer readable form

c. time of filing/furnishing

☐ contained in the international application as filed.

☐ filed together with the international application in computer readable form.

☐ furnished subsequently to this Authority for the purposes of search.

3. ☐ In addition, in the case that more than one version or copy of a sequence listing and/or table(s) relating thereto has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that in the application as filed or does not go beyond the application as filed, as appropriate, were furnished.

4. Additional comments:

WRITTEN OPINION OF THE
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2004/005883

Box No. V	Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement																										
<p>1. Statement</p> <table style="width: 100%; border: none;"> <tr> <td style="width: 30%; vertical-align: top;">Novelty (N)</td> <td style="width: 10%; vertical-align: top;">Claims</td> <td style="width: 50%; border-bottom: 1px solid black;">1-8</td> <td style="width: 10%; text-align: right; vertical-align: bottom;">YES</td> </tr> <tr> <td></td> <td style="vertical-align: top;">Claims</td> <td style="border-bottom: 1px solid black;"></td> <td style="text-align: right; vertical-align: bottom;">NO</td> </tr> <tr> <td style="vertical-align: top;">Inventive step (IS)</td> <td style="vertical-align: top;">Claims</td> <td style="border-bottom: 1px solid black;"></td> <td style="text-align: right; vertical-align: bottom;">YES</td> </tr> <tr> <td></td> <td style="vertical-align: top;">Claims</td> <td style="border-bottom: 1px solid black;">1-8</td> <td style="text-align: right; vertical-align: bottom;">NO</td> </tr> <tr> <td style="vertical-align: top;">Industrial applicability (IA)</td> <td style="vertical-align: top;">Claims</td> <td style="border-bottom: 1px solid black;">1-8</td> <td style="text-align: right; vertical-align: bottom;">YES</td> </tr> <tr> <td></td> <td style="vertical-align: top;">Claims</td> <td style="border-bottom: 1px solid black;"></td> <td style="text-align: right; vertical-align: bottom;">NO</td> </tr> </table>				Novelty (N)	Claims	1-8	YES		Claims		NO	Inventive step (IS)	Claims		YES		Claims	1-8	NO	Industrial applicability (IA)	Claims	1-8	YES		Claims		NO
Novelty (N)	Claims	1-8	YES																								
	Claims		NO																								
Inventive step (IS)	Claims		YES																								
	Claims	1-8	NO																								
Industrial applicability (IA)	Claims	1-8	YES																								
	Claims		NO																								
<p>2. Citations and explanations:</p> <p>Document 1: JP 2002-204189 A (TDK Corp.) 19 July 2002 Full text; all drawings & WO 2002/37674 A1 & US 2002/0063474 A1 & KR 2002065618 A & EP 1271773 A1 & CN 1394387 A & TW 516270 A</p> <p>Document 2: JP 57-8247 Y2 (Oki Engineering Co., Ltd.) 17 February 1982 Full text; all drawings & US 4371682 A</p> <p>Document 3: JP 3-186007 A (Toshiba Corp.) 14 August 1991 Fig. 1 & DE 4039874 A & US 5179362 A</p> <p>Document 4: JP 2-241233 A (Thermo King Corp.) 25 September 1990 Fig. 3 & US 4903006 A & DE 4003653 A & FR 2643199 A & DK 9000401 A</p> <p>Document 5: JP 2-206360 A (Sony Corp.) 16 August 1990 Figs. 1 to 3 (Family: none)</p> <p style="margin-top: 20px;">Based on documents 1-2 cited in the ISR, the inventions of claims 1 and 2 do not appear to involve an inventive step.</p> <p style="margin-top: 20px;">A person skilled in the art can easily conceive of providing the noise-suppressing capacitor described in document 2 in a normal mode noise-suppressing circuit with the noise-suppressing section suppressing normal mode noise described in document 1.</p> <p style="margin-top: 10px;">In addition, the detection section or injection section described in document 1 are reciprocal circuits, and therefore respectively represent a detection/injection section.</p>																											

Supplemental Box

In case the space in any of the preceding boxes is not sufficient.

Continuation of Box V. 2:

Based on documents 1-3 cited in the ISR, the inventions of claims 3 and 4 do not appear to involve an inventive step.

Document 3 describes providing two noise-suppressing sections suppressing normal mode noise and providing one of noise-suppressing capacitors in a location between the noise-suppressing sections.

Document 3 also describes disposing them alternately.

Based on documents 1-2 and 4 cited in the ISR, the inventions of claims 5 and 6 do not appear to involve an inventive step.

In particular, documents 2 and 4 describe a first inductance element, a second inductance element, and a detection/injection capacitor.

In addition, document 1 describes providing a wave overshoot value reduction section.

Based on documents 1-2, 4, and 5 cited in the ISR, the inventions of claims 7 and 8 do not appear to involve an inventive step.

In particular, please refer to Fig. 1, first filter circuit 31 in document 5.
Selection of various positions is described in documents 1, 2, and 4.